

A4

3/5/1

DIALOG(R) File 351: Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

011031707 \*\*Image available\*\*  
WPI Acc No: 1997-009631/ 199701  
Related WPI Acc No: 1997-547040  
XRPX Acc No: N97-008827

Pixel modulator for e.g. laser beam printer, copier - has polar switch  
which activates polarity of output signal form comparator based on its  
comparison between triangular wave signal and horizontal signal

Patent Assignee: CANON KK (CANO )  
Inventor: EBATA H; ISEKI M; KAWASAKI S  
Number of Countries: 002 Number of Patents: 002  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8279905	A	19961022	JP 9582497	A	19950407	199701 B
US 5825939	A	19981020	US 96628001	A	19960404	199849

Priority Applications (No Type Date): JP 9582497 A 19950407; JP 9672198 A  
19960327

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8279905	A		8 H04N-001/405	
US 5825939	A		G06K-009/38	

Abstract (Basic): JP 8279905 A

The modulator has a first triangular wave generator (102) which  
generates a periodic triangular wave signal. A complement antilog  
output circuit (108) outputs a horizontal signal corresp. to any  
antilog value of the pixel modulation data.

A comparator compares the triangular wave signal and the horizontal  
signal. A polar switch activates the polarity of the output signal from  
the comparator.

ADVANTAGE - Achieves simple compsn. by providing digital-analog  
converter which has complement and antilog value output thus, improves  
appearance of half tone character image. Ensures balancing of right and  
left growth characteristic by using triangular wave signal.

Dwg.1/13

Title Terms: PIXEL; MODULATE; LASER; BEAM; PRINT; COPY; POLE; SWITCH;  
ACTIVATE; POLARITY; OUTPUT; SIGNAL; FORM; COMPARATOR; BASED; COMPARE;  
TRIANGLE; WAVE; SIGNAL; HORIZONTAL; SIGNAL

Derwent Class: P85; S06; T04; U22; W02

International Patent Class (Main): G06K-009/38; H04N-001/405

International Patent Class (Additional): H04N-001/29; H04N-001/403

File Segment: EPI; EngPI

# 公開特許・実用（抄録A）

特開平8-279905

【名称】画素変調回路及び記録装置

審査／評価者請求 未 請求項／発明の数 7. (公報 8頁、抄録 8頁)

公開日 平成 8年(1996)10月22日

出願／権利者 キヤノン株式会社（東京都大田区下丸子3丁目30番2号）  
 発明／考案者 川崎 素明 （他 2名）※  
 出願番号 特願平7-82497 平成 7年(1995) 4月 7日  
 代理人 丸島 儀一

Int. Cl. 6 識別記号

H04N 1/405

1/29

1/403

F1

H04N 1/40

1/29

1/40

103

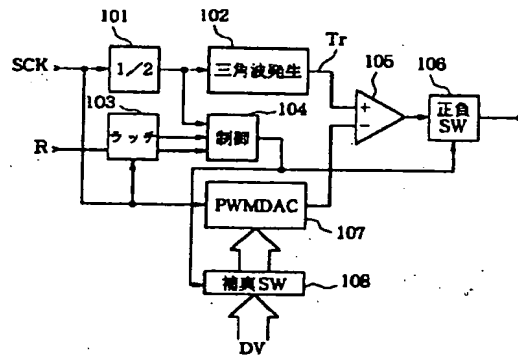
※最終頁に続く

【産業上の利用分野】本発明は、画素変調データを入力し変調処理する画素変調回路及びそれを用いた記録装置に関するものである。

(57)【要約】

【目的】 三角波を用いて階調レベルに応じてパルス幅変調された画素変調信号を出力する装置において、1画素内の記録位置を容易に変更できる様な画素変調信号を簡単な回路構成で実現する。

【構成】 D/Aコンバータ（107）から階調レベルの真数／補数のいずれに対応するレベル信号をも出力可能とする。また三角波信号（Tr）と前記レベル信号とをコンパレータ（105）で比較することによりパルス幅変調を行う。このとき、スイッチ（106）により上記比較結果に対する信号の極性（ハイレベルかローレベル）を切替える。



【特許請求の範囲】

【請求項1】 画素毎の階調レベルを表わす画素変調データに応じたパルス幅のパルス信号を出力する画素変調回路において、

周期的な三角波信号を発生する第1の三角波発生回路と、

画素変調データの真数値、及び補数値のいずれに対応するレベル信号をも出力可能な補数真数出力回路と、

前記三角波信号と前記レベル信号とを比較する比較回路と、

前記比較回路からの出力信号の極性を切替える極性切換回路とを備えたことを特徴とする画素変調回路。

【請求項2】 前記補数真数出力回路は、デジタルの画素変調データに対してその真数値、及び補数値の双方に対応するレベル信号を出力するD/Aコンバータを有することを特徴とする請求項1記載の画素変調回路。

【請求項3】 前記補数真数出力回路は、デジタルの画素変調データの真数値、又は補数値のいずれかを切換えてデジタルデータとして出力する手段と、出力された前記デジタルデータをアナログ信号に変換するD/A変換手段とを有することを特徴とする請求項1記載の画素変調回路。

【請求項4】 前記第1の三角波発生回路は2画素に1周期が対応する三角波信号を発生することを特徴とする請求項1～3のいずれかに記載の画素変調回路。

【請求項5】 更に1画素に1周期が対応する三角

波信号を発生する第2の三角波発生回路を備えたことを特徴とする請求項4に記載の画素変調回路。

【請求項6】 請求項1～5のいずれかの画素変調回路を有する記録装置。

【請求項7】 請求項6記載の記録装置において、前記画素変調回路からの出力信号によって変調されるレーザビームを発生する手段を有することを特徴とする記録装置。

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

図11は本発明が適用されるレーザビームプリンタの一実施例を示す。ここで、111はレーザ光源としての半導体レーザ、112は、ホトダイオードであり、半導体レーザ111が出力するレーザ光のモニタリングを行う。113はモニタされた光量に基づいて半導体レーザ111への印加電流を制御する光量制御部であり、ホトダイオード112からの出力が所定値となる様に制御する。

121は半導体レーザ111から照射されたレーザビーム1を偏光するためポリゴンミラーであり、不図示のモータ軸に固定されて図中矢印方向への回転を行い、感光ドラム123上にビーム1を走査する。122は当

該光のドレを、基をせ、ア、ら、オ、え、さ、信、期、タ、る、あ、て、さ、号、換、A、10、信号、調、出、切、10、られ、より、回路、制御、幅、制、も、入、0、で、信、デー、成長、す、クロ、信号、て、出、力、力、し、）、

該偏光されたレーザビーム1を感光ドラム123トに集光する1-θレンズである。

124はレーザビーム1による感光ドラム123トの情報書き込み開始位置を検出するための受光ダイオードから成るビームディテクタ、118はそのビームディテクタ124の出力に基づいて水平同期信号Hsyncを発生する水平同期信号発生回路である。

117はブランキング回路であり、水平同期信号に基づいて、次にビームディテクタ24がレーザビーム1を検出すべきタイミングで半導体レーザ111をオンさせるアンブランキング信号UNBLを発生し、これをオア回路115に供給する。

オア回路115には後述する画素変調回路116から供給されるパルス幅変調された画信号も入力される。オア回路115からの出力がレーザドライバ114に与えられ、これにより前記光量制御部113によって設定された印加電流が半導体レーザ111に供給される。

尚、画素変調データ発生源119からは、水平同期信号Hsyncに同期して発生された画素クロックに同期して例えば8ビットで画素階調を表わす画素変調データが出力される。

以下、上述した画素変調回路116として使用される第1の実施例及び第2の実施例を詳述する。

図1は本発明の第1の実施例を示す画素変調回路であり、例えば図11に示される画素変調回路116として使用できる。

画素クロックSCKは2分周回路101に入力され、2倍画素クロックにされ三角波発生回路102に入力される。三角波発生回路102は2画素周期の三角波信号を発生し、コンパレータ105に出力する。

一方、画素変調データDVは、データを補数値に変換することでもできる補数真数変換回路108を介してD/Aコンバータ107に入力される。D/Aコンバータ107の出力はコンパレータ105に入力され、三角波信号Trとレベル比較され図3の従来例と同様に画素変調データDVによってパルス幅制御されたパルス信号を出力する。このパルス信号はその極性を制御可能な正負切換回路106を介して出力される。

上述した補数真数変換回路108及び正負切換回路106の動作は、画素変調データ発生源119から与えられる右成長モード信号Rに基づいて制御回路104により制御される。以下、かかる動作を説明する。

右成長モード信号Rは画素クロックSCKでラッチ回路103にラッチされ制御回路104に入力される。制御回路104は信号Rにより出力パルス信号のパルス幅制御方法を左側成長、右側成長のいずれかに画素単位で規定する。制御回路104には前記2倍画素クロックも入力されており、2倍画素クロックは例えば論理1/0で画素クロック番号の奇数/偶数を規定するものである。制御回路104では図6に示す様に印字画素の単位で信号Rにより規定される制御モードに応じて画素変調データDV、出力パルス信号極性を制御することで左側成長、或いは右側成長の印画素が生成できる。

すなわち、制御回路104は信号R、及び2倍画素クロックの論理に応じて、補数真数変換回路108への信号、及び正負切換回路106への信号の論理を切換えて出力する。これにより、補数真数変換回路108は入力データをそのまま（真数）、或いは補数に変換して出力し、正負切換回路106は入力信号をそのまま（正極）、或いは極性を反転して（負極）出力する。

図5(a)に示される画像に対応する画素変調データに対して上述した画素変調回路を用いた場合の出力例を図12(a)に示す。本実施例では、例えば注目画素の左隣画素の濃度と右隣画素の階調レベルの差が、

①左隣画素>右隣画素…R信号「1」に切換

②右隣画素>左隣画素…R信号「0」に切換

となるR信号が出力される。

図12(a)に示す1つの走査ラインについての各信号を図12(b)に示す。

図12(a)から判る様に、画像の境界部が図5(b)に比べてシャープになっている。

〔第2の実施例〕図2は本発明の第2の実施例を示す画素変調回路である。

図1の第1の実施例との差について特に説明する。

画素変調データDVをアナログ変換するD/Aコンバータ108a、bは真数出力に加えて補数出力を備えている。図7はD/Aコンバータ108a、108bの構成例を示す図であり、一般的な高速型のD/Aコンバータ回路の構成に抵抗ブロックR1'～R5'を設け、補数出力を可能としている。

D/Aコンバータ108a、108bからの真数画素変調アナログデータはコンパレータ105a、105cの反転入力端子にそれぞれ与えられ、D/Aコンバータ108a、108bからの補数画素変調アナログデータはコンパレータ105b、105dの非反転入力端子にそれぞれ与えられる。

一方、本実施例では2倍画素クロックは2つの三角波発生回路102、102aに入力される。三角波発生回路102aは1画素について1周期の三角波信号を発生する。この三角波発生回路102aの構成の一例を図8に示す。三角波信号は電流源10と210、コンデンサC0、2倍クロック（単位画素クロック）で制御されるスイッチ18で発生される。

コンパレータ20、チャージポンプ回路22、ループフィルタ23、デューティ誤差信号発生回路24、可変パルス遅延回路16が三角波信号のオフセット値制御ループで可変パルス遅延回路の遅延時間が画素クロックSCKの1/2周期になった時のみ収束する。またコンパレータ21、チャージポンプ回路25、ループフィルタ26、ピーク値誤差信号発生回路27、電流源10と210がピーク値制御ループである。

図10(a)、(b)は各々チャージポンプ回路22、25を示したものであり、図9に示す三角波信号を発生するためには図10中の電流比係数K1、K2をそれぞれ $(T_0 - T_1) / T_0$ 、 $(2T_0 - (T_1 + T_2)) / T_0$ に設定しておけば良い。この様にしてクロック・デューティの管理できない入力画素クロック信号でも単位画素周期の理想的な三角波信号を発生できる。

三角波発生回路102aからの1画素に対応する期間が1周期である三角波信号はコンパレータ105aの非反転入力端子、コンパレータ105bの反転入力端子にそれぞれ与えられる。また、三角波発生回路102aからの2画素に対応する期間が1周期である三角波信号はコンパレータ105cの非反転入力端子、コンパレータ105dの反転入力端子に与えられる。

コンパレータ105a、105bの出力は補数/真数切換スイッチ113aに与えられ、コンパレータ105c、105dの出力は補数/真数切換スイッチ113bに与えられる。

補数／真数切換スイッチ113a、113bの出力が2系切り換え信号X2で制御された1系／2系切換回路114に入力される。

以上のような構成にすることによって、第1の実施例の機能に加えて画素の大きさを単位画素で中央成長制御できる。

本実施例に依れば図5(a)に示される「A」の文字が中間調の場合、図12(c)の様に表現することもできる。

本実施例では制御回路104は、外部装置からのL  
R信号R信号BW2倍画素クロックに基づいてスイッチ  
113a、113b、114を制御する信号を出力する。  
L R信号、R信号、2倍画素クロックの論理をスイ  
ッチ113a、113b、114の制御状態は図13に示  
される。

図12(c)の1つのラインにおける変調の様子を図12(d)に示す。この例では、

①右隣画素が「白」→L.R信号「1」、R信号「0」

②左隣画素が「白」→L.R信号「1」、R信号「0」

③両隣画素のいずれの階調レベルより低い→I.R信号「0」、R信号「1」

④上記①～③以外—L.R信号「0」、R信号「0」  
となるL.R信号、R信号が出力される。

上記第2実施例において、三角波発生回路102a、D/Aコンバータ108a、コンパレータ105a、105b、スイッチ114を省略すれば、第1実施例の回路と同様の動作を行い得る。また、コンパレータ105b、(105d)を省略し、スイッチ113a(113b)に代えて第1実施例のスイッチ106を用いてもよいし、コンバータ108a(108b)に代えて第1実施例のD/Aコンバータ107及びスイッチ108を用いてもよい。

【図面の簡単な説明】

【図1】本発明を使用した第1の実施例の画素変調回路を示す図である。

【図2】本発明を使用した第2の実施例の画素変調回路を示す図である。

【図3】従来の画素変調回路を示す図である。

【図4】図3の動作を説明するタイムチャートである。

【図5】文字情報の紙面上の印画像の説明図である

【図6】図1の動作を説明するための図である。

【図7】補数出力を備えたD/Aコンバータを示す図である。

【図 R】単位画素周期の三角波発生回路を示す図である。

【図9】図8の動作の第1の説明図である。

【図10】図8の動作の第2の説明図である。

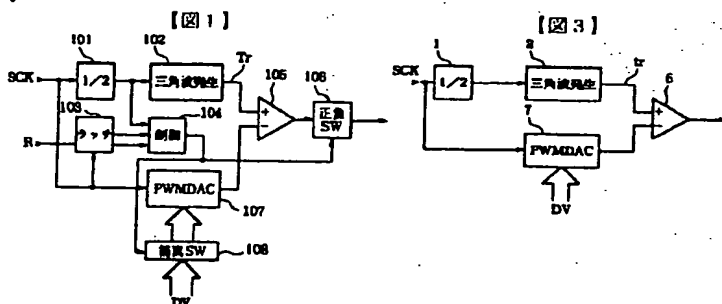
【図 11】本発明が適用されるレーザビームプリンタを示す図である。

【図12】本発明によるプリント例を模式的に示す図である。

【図13】図2の動作を説明するための図である。

### 【符号の説明】

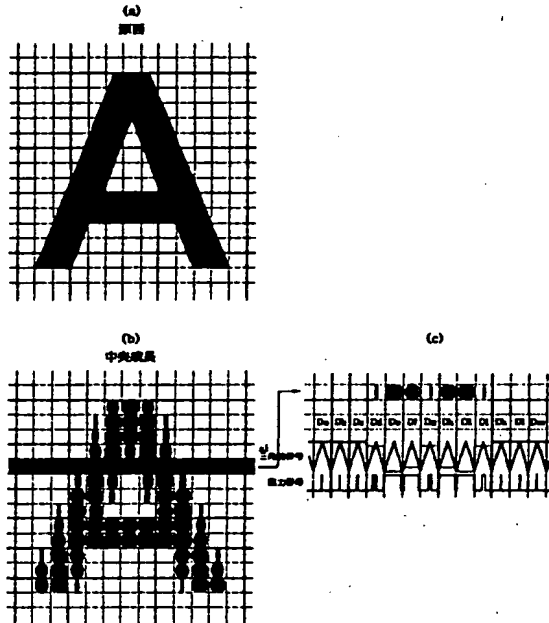
- 1 6 可変パルス遅延回路
- 2 2、2 5 チャージポンプ回路
- 2 3、2 6 ループフィルタ
- 2 4 デューティ誤差発生回路
- 2 7 ピーク値誤差発生回路
- 1 0 1 2分周回路
- 1 0 2 第1の三角波発生回路
- 1 0 2 a 第2の三角波発生回路
- 1 0 4 制御回路
- 1 0 6 正負極性切り換え回路
- 1 0 7 D/Aコンバータ
- 1 0 8 補数真数切り換え回路
- 1 0 8 a、1 0 8 b 補数出力付きD/Aコンバー
- 1 1 3 a、1 1 3 b 補数真数切り換え回路
- 1 1 4 1系/2系切り換え回路
- 1 1 6 周素変調回路



【図 4】



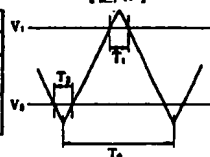
【図 5】



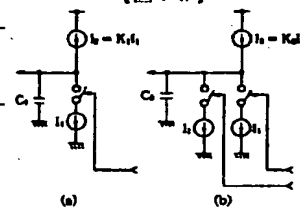
【図 6】

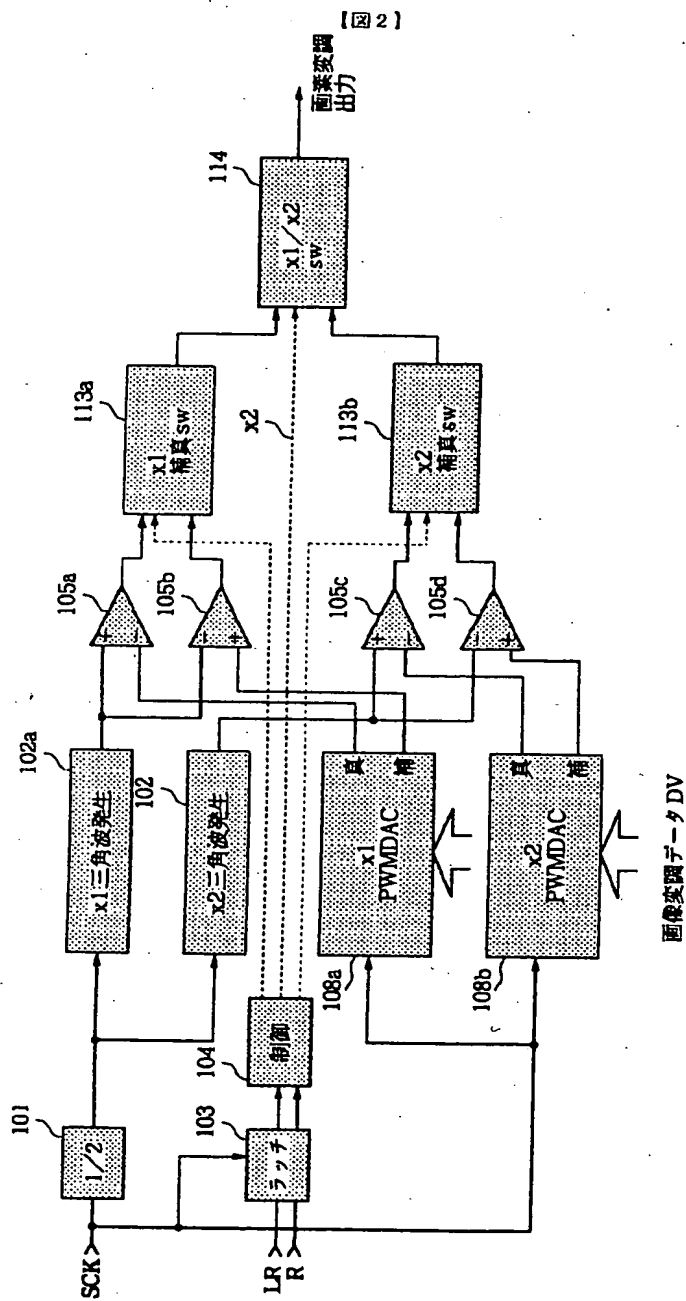
	R	2 符号素ク ロ ッ ク			
		奇数画素(1) 偶数画素(0)			
左成長	0	補数	負極	真数	正極
右成長	1	真数	正極	補数	負極

【図 9】

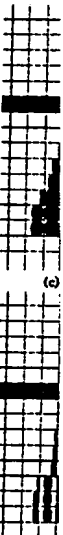


【図 10】

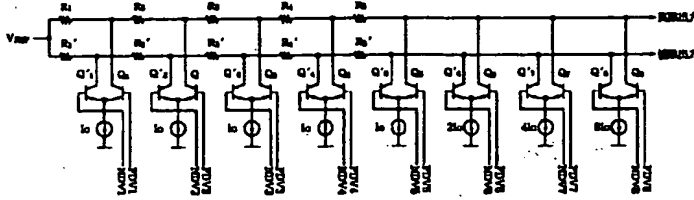




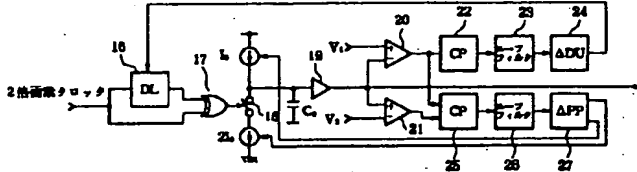
【圖 2】



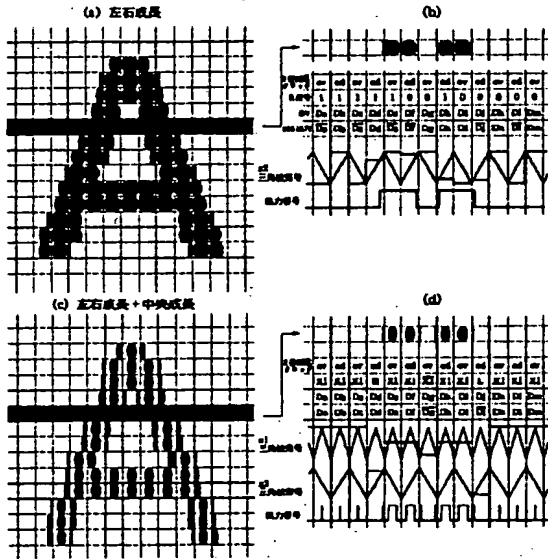
【図7】



【図8】



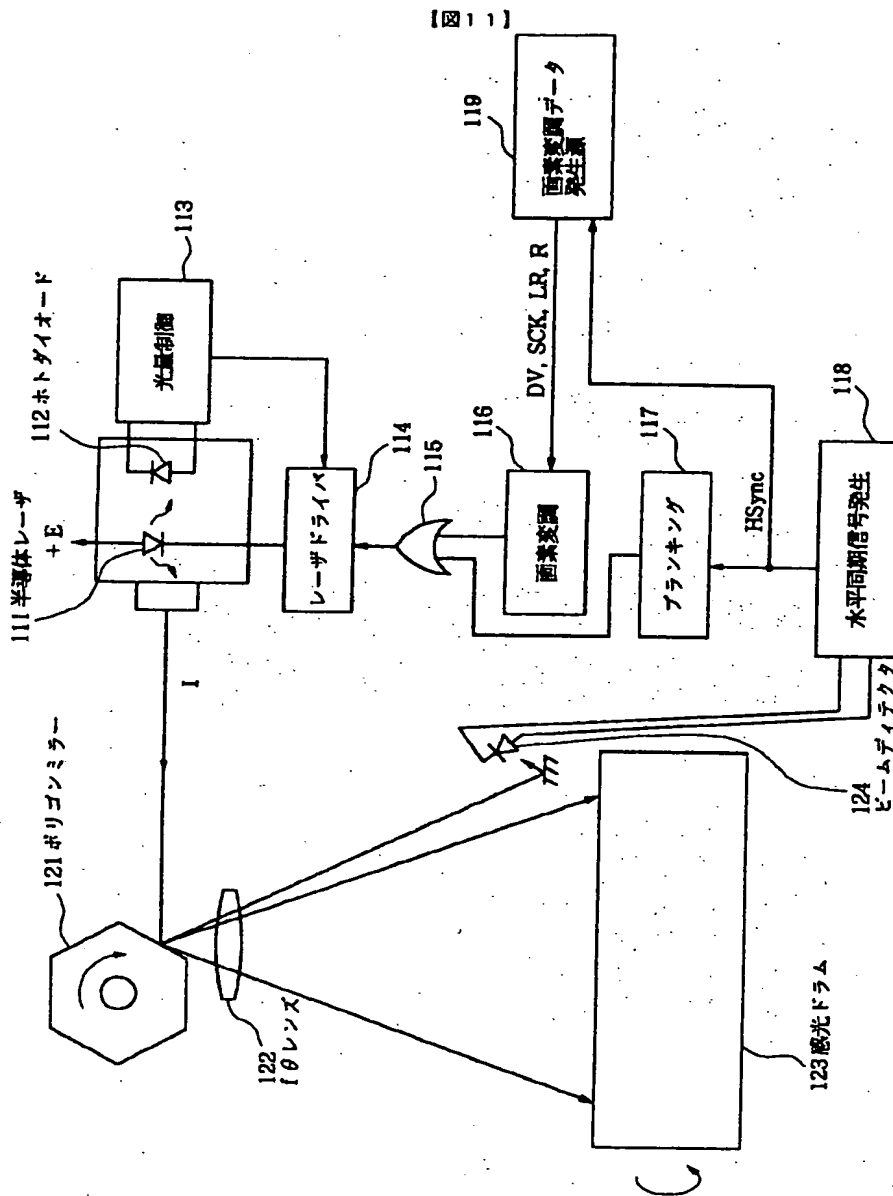
【図12】



【図13】

od : 奇数画素  
ev : 偶数画素

	LR	R	2倍番数カウンタ		×1/×2
			奇数画素 (1)	偶数画素 (0)	
中央成長	0	0	真数	真数	×1
両端成長	0	1	補数	補数	×1
左成長	1	0	補数	真数	×2
右成長	1	1	真数	補数	×2



## 【審判的事項の続き】

【IPC6】 H04N 1/405:1/29:1/403

【FI】 H04N 1/40:1/29:1/40 103

【識別番号または出願人コード】 000001007

【出願/権利者名】 キヤノン株式会社

東京都大田区下丸子3丁目30番2号

【発明/考案者名】 川崎 泰明

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

【発明/考案者名】 江崎 裕也



【発明／考案者名】	東京都大田区下丸子3丁目30番2号キャノン株式会社内 井関 正己
【代理人】	東京都大田区下丸子3丁目30番2号キャノン株式会社内 丸島 儀一
【出願形態】	01.

注) 本抄録の書誌的事項は初期登録時のデータで作成されています。